

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

**MANUFACTURE OF GALLIUM NITRIDE SERIES COMPOUND
SEMICONDUCTOR CHIP**

Patent Number: JP5343742
Publication date: 1993-12-24
Inventor(s): IWASA SHIGETO; others:
Applicant(s): NICHIA CHEM IND LTD
Requested Patent: ☐ JP5343742
Application JP19920172042 19920605
Priority Number(s):
IPC Classification: H01L33/00; H01L21/78
EC Classification:
Equivalents: JP2914014B2

Abstract

PURPOSE: To separate a sapphire board into chip states without impairing crystallizability of gallium nitride series semiconductor laminated on a board by cutting the board by dicing or scribing.

CONSTITUTION: A protective layer is first provided on a p-type layer 3 of an uppermost layer of a wafer laminated on a sapphire board 1. The layer 3 is etched up to an n-type layer 2. After the etching is finished, the protective layer is removed. Further, the layer 2 is etched or diced to the board 1 except a space provided with an n-type electrode on a surface of the layer 2. Then, the board 1 is separated by dicing or scribing. The drawing shows a state in which electrodes 6 are formed on the separated layers 2, 3 of a gallium nitride series compound semiconductor element. Thus, a boundary between the layers 2 and 3, i.e., a p-n junction surface can be separated without stress.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2914014号

(46) 発行日 平成11年(1999)6月28日

(24) 登録日 平成11年(1999)4月16日

(51) Int. Cl.⁷H 0 1 L 33/00
21/301

識別記号

F I

H 0 1 L 33/00
21/78C
L
Q

請求項の数(全 4 頁)

(21) 出願番号 特願平4-172042

(22) 出願日 平成4年(1992)6月5日

(65) 公開番号 特開平5-343742

(67) 公開日 平成5年(1993)12月24日

審査請求日 平成8年(1996)2月15日

(73) 特許権者 000228037

日亜化学工業株式会社

徳島県阿南市上中町岡崎1番地100

(72) 発明者 岩越 成人

徳島県阿南市上中町岡崎1番地100 日亜

化学工業株式会社内

(72) 発明者 長瀬 俊一

徳島県阿南市上中町岡崎1番地100 日亜

化学工業株式会社内

(72) 発明者 中村 啓二

徳島県阿南市上中町岡崎1番地100 日亜

化学工業株式会社内

(74) 代理人 弁護士 倉部 康弘 (外1名)

審査官 杉山 建和

最良頁に置く

(54) 【発明の名称】 窒化ガリウム系化合物半導体チップの製造方法

1

(57) 【特許請求の範囲】

【請求項1】 サファイア基板の上にn型およびp型の窒化ガリウム系化合物半導体層が順に積層されたウェハーをチップ状に分離する方法であって、

前記サファイア基板を研磨して厚くする第1の工程と、前記ウェハーを分離する部分において、前記p型の窒化ガリウム系化合物半導体層を前記n型の窒化ガリウム系化合物半導体層までエッチングして、前記n型の窒化ガリウム系化合物半導体層の平面を露出させる第2の工程と、

前記n型の窒化ガリウム系化合物半導体層の平面をエッチング、またはダイシングして前記サファイア基板の平面を露出させる第3の工程と、

薄くしたサファイア基板をダイシング、またはスクライピングして、第3の工程において露出した前記サファイ

2

ア基板の平面で、ウェハーを切断する第4の工程とを具備することを特徴とする窒化ガリウム系化合物半導体チップの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は青色発光ダイオード、青色レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体チップの製造方法に係り、特に、サファイア基板の上に積層された窒化ガリウム系化合物半導体の結晶性を損ねること無くチップ状に分離する方法に関する。

【0002】

【従来の技術】 一般に発光ダイオード、レーザーダイオード等の発光デバイスはステム上に発光層である半導体チップが設置されている。その半導体チップを構成する材

R007017

(2)

特許2914014

料として、例えば赤色、橙色、黄色、緑色発光ダイオードではGaAs、GaAlAs、GaP等が知られている。青色ダイオード、青色レーザダイオードについては数々の半導体材料が研究されているが、未だ実用段階であり実用化には至っていない。しかし、実用的な青色発光材料として、GaN、InGaN、GaAlN等の窒化ガリウム系化合物半導体が注目されている。

【0003】従来、半導体材料が積層されたウエハーをチップに分離する方法としては一般にダイサー、またはスクライパーが使用されている。ダイサーとは通常ダイシングソーとも呼ばれ、刃先をダイヤモンドとする円盤の回転運動により、ウエハーをフルカットするか、または刃先巾よりも広い巾の溝を切り込んだ後、外力によってカットする装置である。一方、スクライパーとは先端をダイヤモンドとする針の往復直線運動によりウエハーに極めて細いスクライプライン（割傷線）を、例えば基盤目状に引いた後、外力によってカットする装置である。

【0004】

【発明が解決しようとする課題】前記GaP、GaAs等のせん断結晶の結晶はへき面性が「110」方向にあるため、この性質を利用してスクライパーで、この方向にスクライプラインを入れることによりチップ状に簡単に分離できる。しかしながら、窒化ガリウム系化合物半導体はサファイア基板の上に積層されるいわゆるヘテロエピ構造であり、窒化ガリウム系化合物半導体とサファイアとは格子定数不整合が大きい。さらに、サファイアは六方晶系という結晶の性質上、へき面性を有していない。従って、スクライパーで切断することは不可能であった。また、サファイア、窒化ガリウム系化合物半導体ともモース硬度がほぼ9と非常に硬い物質であるため、ダイサーでフルカットすると、その切断面にクラック、チャッピングが発生しやすくなり、綺麗に切断できなかった。さらに、ダイサーの刃が長時間ウエハー切断面に接触することにより、ウエハーの横方向に応力（ストレス）が生じる。このため、特にn型層とp型層との界面にクラック、チャッピング等が発生しやすくなり、肝心の窒化ガリウム系化合物半導体の結晶性を損ねてしまうため、信頼性が低下したり、寿命が非常に短くなってしまいう問題点があった。

【0005】従って、本発明はサファイアを基板とする窒化ガリウム系化合物半導体ウエハーをチップ状にカットするに際し、切断面、界面のクラック、チャッピングの発生を防止し、窒化ガリウム系化合物半導体の結晶性を損なうことなく優れた発光性能を有する窒化ガリウム系化合物半導体チップを得ると共に、歩留良く所望の形、サイズに切断する方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】本発明の窒化ガリウム系

化合物半導体チップの製造方法は、サファイア基板の上にn型およびp型の窒化ガリウム系化合物半導体層が順に積層されたウエハーをチップ状に分離する方法であって、前記サファイア基板を研磨して厚くする第1の工程と、前記ウエハーを分離する部分において、前記p型の窒化ガリウム系化合物半導体層を前記n型の窒化ガリウム系化合物半導体層までエッチングして、前記n型の窒化ガリウム系化合物半導体層の平面を露出させる第2の工程と、前記n型の窒化ガリウム系化合物半導体層の平面をエッチング、またはダイシングして前記サファイア基板の平面を露出させる第3の工程と、薄くしたサファイア基板をダイシング、またはスクライビングして、第3の工程において露出した前記サファイア基板の平面で、ウエハーを切断する第4の工程とを具備することを特徴とする。

【0007】以下、本発明の一実施例の製造方法を図面を参照しながら詳説する。図1～図8は窒化ガリウム系化合物半導体ウエハー、および素子の構造を示す断面図であり、1はサファイア基板、2はn型窒化ガリウム系化合物半導体層（以下n型層という。）、3はp型窒化ガリウム系化合物半導体層（以下p型層という。）である。但し、本発明の方法は、図面の構造の窒化ガリウム系化合物半導体ウエハーにのみ適用されるものではない。

【0008】通常、窒化ガリウム系化合物半導体ウエハーの厚さは、サファイア基板1で400～800μm、その上に積層されたn型層2、およびp型層3の厚さは多くても十数μmであり、そのほとんどがサファイア基板1の厚さで占められている。従って、第1の工程において、サファイア基板1を研磨して、その厚さを50～300μmに調整することが好ましい。50μmよりも薄いと、ウエハー全体が割れ易くなったり、またウエハーに反りが生じる傾向にある。また、300μmよりも厚いと、第4の工程において、ダイシング、またはスクライビングによる切断の際にサファイア基板にチャッピング、クラックが発生しやすくなる。またスクライビングする場合は、スクライプラインを薄くしなければならなかったため、細かいチップができにくくなり、チップ分離が困難になる傾向がある。研磨された基板のさらに好ましい厚さとしては100～200μmである。なお、第1の工程は第2の工程または第3の工程の後に行ってもよい。

【0009】まず、サファイア基板1上に、n型層2、およびp型層3が順に積層されたウエハーの、最上層であるp型層3上に、図1に示すように保護膜4を設ける。保護膜4はp型層3がエッチングにより除去されるのを防ぐと共に、パターンエッチングを行うために設けるものであって、フォトリソでパターンニングした後、例えばSiO₂等の材料でプラズマCVD法を用いて形成することができる。なお、この図においてサフ

(3)

特許2914014

5

イア基板1は予め研磨して薄くしてある。
 [0010] 次に、保護膜4が設けられたp型層3を、
 n型層2までエッチングする(第2の工程)。エッチ
 ング方法はドライ、ウェットいずれの方法でもよい。エ
 ッチング終了後、図2に示すように、膜により保護膜4を
 除去する。

[0011] さらに、図3に示すように、n型層2の表
 面にn型電極を設けられるスペースを残して、n型層2
 をサファイア基板1までエッチング またはダイシング
 する(第3の工程)。n型層2とサファイア基板1の界
 10 面にできるだけストレスをかけないようにするには、エ
 ッチングが好ましい。エッチングする場合には、前述し
 たように保護膜をエッチング面以外(p型層3とn型層
 2の電極形成部分)に形成する必要がある。

[0012] 次に、図4に示すように、第3の工程により
 露出されたサファイア基板をスクライビングして、ス
 クライプライン(溝)5を入れた後、サファイア基
 板側から押し割って分離する(第4の工程)。第1の工
 程によりサファイア基板の厚さを薄くしているため、ス
 クライプライン5を入れて押し割ることによって、結晶
 20 にチップ状に分離することができる。スクライプライン
 の深さは特に規定するものではないが、基板の厚さの5
 %以上の深さで入れることにより、へき開性の低いサフ
 ェイアでも切断面をほぼ平面状とすることができ、好ま
 しく切断できる。

[0013] また、図5に示すように、ダイシングにより
 サファイア基板1を直接フルカットしてもよい。この
 場合においても、サファイア基板1を予め薄くしてある
 ためダイシング時間を短縮でき、ストレスをかけずに結
 晶に切断できる。

[0014]
 [作用] 図6は、第4の工程のスクライビングまたはダイ
 20 ングによって分離された窒化ガリウム系化合物半導
 体素子のn型層2、およびp型層3に電極6を形成した
 状態を示す断面図である。

[0015] この図において、n型層2とp型層3の界
 面、即ち、p-n接合面はエッチングされているため、
 この界面には従来のダイシングによるストレスはかかっ
 ておらず、窒化ガリウム系化合物半導体結晶の損傷はほ
 とんど無い。さらに、サファイア基板1とn型層2の界
 40 面においても、予め第1の工程により、n型層2の途中
 までエッチングされているため、ダイシングを行うにし
 ても、その切断面を短くすることができるため、スト
 レスのかかる割合が従来に比して大幅に減少する。従っ
 て、本発明の方法により得られた窒化ガリウム系化合物
 半導体チップは、格子不整合に起因する窒化ガリウム系
 化合物半導体層のクラック、チップングが防止されてお
 り、半導体結晶を損傷すること無く結晶性が保持されて
 いる。また、サファイア基板を研磨して薄くすること
 により、へき開性の低いサファイア基板でもスクライプで 50

6

線間に切断でき、またダイシングにおいても切断時間を
 短縮できるという優れた利点がある。

[0016]

[実施例] 以下、本発明の窒化ガリウム系化合物半導
 チップの製造方法を実施例で説明する。

[0017] [実施例1] 厚さ450 μ m、大きさ2イ
 ンチのサファイア基板上に、順にn型Ga_{0.5}N層とp型
 Ga_{0.5}N層を合わせて5 μ mの厚みで成長させた発光ダイ
 オード用のGa_{0.5}Nエピタキシャルウエハのp型Ga_{0.5}N
 層に、フォトリソでパターンを形成する。

[0018] フォトリソとしてS₁O₂膜を0.1 μ mの膜厚で形
 成した後、溶剤によりフォトリソを剥離して、パタ
 ーニングされたS₁O₂膜を残す。

[0019] ウエハをリン酸と硫酸の混合液に浸漬し、
 p型Ga_{0.5}N層をn型Ga_{0.5}N層までエッチングする。

[0020] エッチング後、研磨機にてサファイア基板
 を150 μ mまで研磨する。

[0021] 研磨後、ウエハをダイシングソーに設置
 し、ブレード回転数30,000rpm、切断速度0.
 3mm/secの条件で、ダイヤモンドブレードにて、所定
 のカットライン(350 μ m角)上を20 μ mの深さで
 ダイシングする。

[0022] 次に、基板側に粘着テープを貼付し、スク
 ライパーのテーブル上に張り付け、真空チャックで固定
 する。テーブルはx軸(左右)、y軸(前後)に動き、
 180度水平に回転可能な構造となっている。固定後、
 スクライパーのダイヤモンド刃でダイシングの軸をスク
 ライプしてラインを引く。ダイヤモンド刃が設けられた
 30 パーはz軸(上下)、y軸(前後)方向に移動可能な構
 造となっている。ダイヤモンド刃の刃先への加減は10
 0gとし、スクライプラインの深さを深くするため、同
 一のラインを2回スクライプすることにより深さ10 μ
 mとする。

[0023] スクライプラインを引いたGa_{0.5}Nウエハ
 をテーブルから剥し取り、サファイア基板側からローラ
 ーにより圧力を加えて、押し割ることによりGa_{0.5}Nチ
 ップを得た。

[0024] このようにして得られたGa_{0.5}Nチップより
 外形不良によるものを取り除いたところ、歩留は95%
 以上であった。また、このGa_{0.5}Nチップのp型Ga_{0.5}N
 層、およびn型Ga_{0.5}N層にAu電極を取り付けた後、常
 法に従い発光ダイオードとしたところ、順方向電圧4.
 0Vにおいて、発光出力は50 μ W、発光寿命は500
 0時間以上であった。

[0025] [比較例1] 実施例1と同一のGa_{0.5}Nエ
 ピタキシャルウエハを、同様にしてn型Ga_{0.5}N層までエ
 ッチングした後、サファイア基板を研磨せずに、直接ダ
 イサーを用い、同じくブレード回転数30,000rpm、
 切断速度0.3mm/secの条件で、350 μ m

R007019

(4)

特許2914014

7

角のチップにフルカットしたところ、切断線に対し異状のクラックが生じ、歩留は30%以下であった。また、残ったGaNチップのp型層およびn型層に同じくAu電極を取り付け、発光ダイオードとしたところ、順方向電圧4.0Vにおいて、発光出力20μW、発光寿命は50〜70時間であった。

[0026]

【発明の効果】以上述べたように、本発明の方法によると、pn接合部はストレス無く分離できることで、従来問題となっていた特性劣化、特に発光寿命、発光出力において大幅な改善が図られた。また、窒化ガリウム系化合物半導体とサファイア基板との格子定数不整合から生じる、結晶面のクラック、チャipping等を防止でき、窒化ガリウム系化合物半導体チップを歩留良く製造でき、その産業上の利用価値は大きい。

【図面の簡単な説明】

【図1】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図2】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

8

※ 窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図3】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図4】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

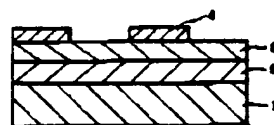
【図5】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体ウェハーの構造を示す断面図。

【図6】 本発明の一実施例の工程において得られる窒化ガリウム系化合物半導体チップの構造を示す断面図。

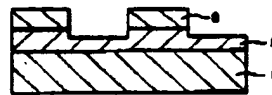
【符号の説明】

- 1……サファイア基板
- 2……n型窒化ガリウム系化合物半導体層
- 3……p型窒化ガリウム系化合物半導体層
- 4……保護膜
- 5……スクライブライン
- 6……電極

【図1】



【図2】



【図3】



【図5】



【図6】



【図4】



フロントページの続き

(56) 参考文献 特開 昭53-02489 (J.P.A)
特開 平5-169923 (J.P.A)

(58) 調査した分野(Int.Cl.⁷, DB名)
H01L 33/00

R007020